

1/5/1 (Item 1 from file: 351)  
DIALOG(R)File 351:Derwent WPI  
(c) 2006 Thomson Derwent. All rts. reserv.

012353436 \*\*Image available\*\*  
WPI Acc No: 1999-159543/ 199914  
XRPX Acc No: N99-116140

Three transistor usage type dynamic RAM memory cell - includes three transistors, out of which channel length of specific transistor is set lesser than width of gate area formed by overlapping of gate of that MOS transistor with transistor area

Patent Assignee: TOSHIBA KK (TOKE ); TOSHIBA MICROELECTRONICS KK (TOSZ )  
Number of Countries: 001 Number of Patents: 001  
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 11017025	A	19990122	JP 97168895	A	19970625	199914 B

Priority Applications (No Type Date): JP 97168895 A 19970625

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 11017025	A		7	H01L-021/8242	

Abstract (Basic): JP 11017025 A

NOVELTY - A first MOS transistor and a second MOS transistor respectively inputs first and second word line potentials into a gate terminal (3). A first data line and the gate are connected via the first MOS transistor. The second MOS transistor and a third MOS transistor are connected in series between a second data line and a ground potential. The channel length of the third MOS transistor is set such that it is lesser than the width of the gate area (9) formed by the overlapping of the gate of third MOS transistor and the transistor area (1).

USE - None given.

ADVANTAGE - As there is no influence on both capacitance value of capacitor and current driving capability, high integration is realized at low cost. DESCRIPTION OF DRAWING(S) - The diagram shows the cell pattern of charge storage memory and MOS transistor for driving reading data line. (1) Transistor area; (3) Gate terminal; (9) Gate area.

Dwg.1/9

Title Terms: THREE; TRANSISTOR; TYPE; DYNAMIC; RAM; MEMORY; CELL; THREE; TRANSISTOR; CHANNEL; LENGTH; SPECIFIC; TRANSISTOR; SET; WIDTH; GATE; AREA ; FORMING; OVERLAP; GATE; MOS; TRANSISTOR; TRANSISTOR; AREA

Derwent Class: U12; U13; U14

International Patent Class (Main): H01L-021/8242

International Patent Class (Additional): H01L-027/108

File Segment: EPI

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-17025

(43) 公開日 平成11年(1999) 1 月22日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 21/8242  
27/108

識別記号

F I

H 0 1 L 27/10

3 2 1

審査請求 未請求 請求項の数3 O L (全 7 頁)

(21) 出願番号 特願平9-168895

(22) 出願日 平成9年(1997) 6 月25日

(71) 出願人 000221199

東芝マイクロエレクトロニクス株式会社  
神奈川県川崎市川崎区駅前本町25番地 1

(71) 出願人 000003078

株式会社東芝  
神奈川県川崎市幸区堀川町72番地

(72) 発明者 木村 昌浩

神奈川県川崎市川崎区駅前本町25番地 1  
東芝マイクロエレクトロニクス株式会社内

(72) 発明者 田中 豊

神奈川県川崎市幸区堀川町580番 1 号 株  
式会社東芝半導体システム技術センター内

(74) 代理人 弁理士 三好 秀和 (外 3 名)

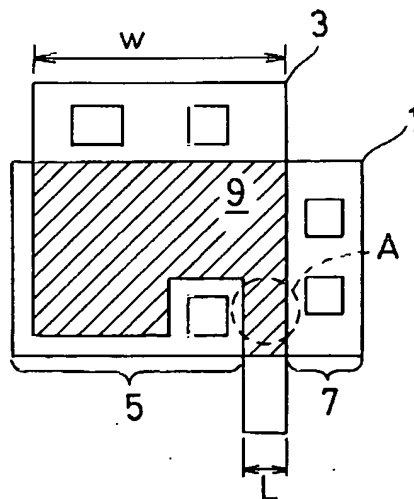
最終頁に続く

(54) 【発明の名称】 3トランジスタ型ダイナミックRAMメモリセル

(57) 【要約】

【課題】 電流駆動能力及びキャパシタの容量値の低下を招くことなく、高集積化を実現することができる3トランジスタ型DRAMメモリセルを提供する。

【解決手段】 第1のワード線の電位をゲートに入力する第1のMOSTランジスタと、第2のワード線の電位をゲートに入力する第2のMOSTランジスタと、前記第1のMOSTランジスタを介して第1のデータ線とゲートが接続されると共に、第2のデータ線と接地電位との間に前記第2のMOSTランジスタと直列接続される第3のMOSTランジスタとを有する3トランジスタ型DRAMメモリセルにおいて、前記第3のMOSTランジスタのチャネル長をそのゲート領域の幅よりも短くするように構成する。



## 【特許請求の範囲】

【請求項1】 第1のワード線の電位をゲートに入力する第1のMOSトランジスタと、

第2のワード線の電位をゲートに入力する第2のMOSトランジスタと、

前記第1のMOSトランジスタを介して第1のデータ線とゲートが接続されると共に、第2のデータ線と接地電位との間で前記第2のMOSトランジスタと直列接続される第3のMOSトランジスタとを有する3トランジスタ型DRAMメモリセルにおいて、

前記第3のMOSトランジスタのチャンネル長が、該第3のMOSトランジスタのゲートとトランジスタ領域との重なり部分（以下、ゲート領域と呼ぶ）の幅よりも短くなるように構成されていることを特徴とする3トランジスタ型DRAMメモリセル。

【請求項2】 第1のワード線の電位をゲートに入力する第1のMOSトランジスタと、

第2のワード線の電位をゲートに入力する第2のMOSトランジスタと、

前記第1のMOSトランジスタを介して第1のデータ線とゲートが接続されると共に、第2のデータ線と接地電位との間で前記第2のMOSトランジスタと直列接続される第3のMOSトランジスタとを有する3トランジスタ型DRAMメモリセルにおいて、

前記第3のMOSトランジスタのゲートが少なくとも8個以上の実質的な頂点を有する形状であり、

前記第3のMOSトランジスタのトランジスタ領域が少なくとも4個以上の実質的な頂点を有する形状であり、

前記第3のMOSトランジスタのゲート領域が少なくとも8個以上の実質的な頂点を有する形状であり、かつ、該第3のMOSトランジスタのチャンネル長が前記ゲート領域の幅よりも短くなるように構成されていることを特徴とする3トランジスタ型DRAMメモリセル。

【請求項3】 前記ゲート領域は少なくともその一部に凹部を有し、該凹部内に前記トランジスタ領域のコンタクトが配置されていることを特徴とする請求項2記載の3トランジスタ型DRAMメモリセル。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ダイナミックRAMメモリセルに関し、特に、高集積化、高速化の実現に適した3トランジスタ型ダイナミックRAMメモリセルに関する。

【0002】

【従来の技術】ダイナミックRAM（Dynamic Random Access Memory；DRAM）は高速に書き込み読み出しが可能であり、RAM（Random Access Memory）の中では、最も容量が大きく、そして、ビット当りのコストが安いメモリである。そのため、一般に、大容量を必要とする場合や、低コストに重点を置く場合などに利用され

ている。

【0003】上記DRAMのメモリセルは、素子数が少ないため、小さなメモリセル面積で済み、高い記憶密度が可能となる訳であるが、基本的にはスイッチの役割をするMOSトランジスタと電荷を蓄積するキャパシタとから構成される。かかるメモリセルの代表的なものとしては、図6に示すような1トランジスタセルと、図7に示すような3トランジスタセルが挙げられる。

【0004】1トランジスタセルは、現在の汎用DRAMにおける主流のメモリセルであり、16kbits DRAMからそれ以降でこの構成が採用されている。図6に示すように、この1トランジスタセル101は、電荷を蓄積するキャパシタ103と、スイッチング用MOSトランジスタ（通常、n型MOSトランジスタ）105のみで構成され、キャパシタ103に電荷があるか否かでデータを記憶するものである。この1トランジスタセル101では記憶の保持をキャパシタ103で行うため、セル面積を増やさずに、キャパシタ103の容量値を増やすプロセス的工夫がなされている。その構造的な工夫としては、一つには、トレンチキャパシタと呼ばれるものであり、シリコン基板表面に溝（トレンチ）をほり、その壁や底面に薄い絶縁膜を形成し、内部にポリシリコンなどを埋め込み、シリコン基板とポリシリコン間にキャパシタを形成するものである。もう一つは、スタックキャパシタと呼ばれるものであり、シリコン基板よりも上に多層のポリシリコンを用いて積層構造を作り、実効的なキャパシタ面積を増大させるものである。また、その材料的な工夫としては、キャパシタ用の絶縁膜に高誘電体材料を用いることで容量値を増やすものがある。

【0005】一方、3トランジスタセルは、1～4kbits DRAMにおいて広く用いられていたメモリセルである。図7に示すように、3トランジスタセル111は、3つのMOSトランジスタ（通常、n型MOSトランジスタ）113、115及び117で構成される。データの記憶は上記1トランジスタセルと同様、キャパシタに蓄積された電荷によって行われるが、そのキャパシタとしては主としてMOSトランジスタ117のゲート入力容量119がその役割を担っている。この3トランジスタセルは、上記1トランジスタセルのような複雑なデバイス構造を持たないので、その製造プロセスは1トランジスタセルと比べて非常に簡単なものであり、特殊なプロセス技術を必要とはしないものである。

【0006】ところで、近年、上記DRAMを搭載したASIC（Application Specific Integrated Circuit）の要求が高まってきており、そのDRAMのメモリセルとして、1～4kbits までの汎用DRAMに用いられていた上記3トランジスタセルの採用が提案されている。というのは、上記DRAMをASICに搭載する場合、1トランジスタセルであれば、最も高集積度のDRAMを得ることは可能ではあるが、上記トレンチキャパ

シタ等によりそのデバイス構造が複雑であるため、全体の製造工程数は非常に多いものになってしまう。このことは、現在ASICにおける重要テーマの一つである新製品開発のTAT (Turn Around Time) を長くすることになる。一方、3トランジスタセルを採用すれば、その製造プロセスはロジック用プロセスとまったく同一となり、1トランジスタセルに比べてTATを大幅に短くすることができるからである。

【0007】しかしながら、メモリセル面積の点から言えば、明らかに、3トランジスタセルは1トランジスタセルに比べて不利である。従って、さらなるメモリセル面積の縮小がASIC全体のチップ面積の縮小、ひいては製造コスト削減のために必要である。この際、電荷を蓄えるキャパシタの容量値をいかに確保するかが重要な事柄となる。

【0008】上述したように、図7に示す3トランジスタセル111においては、データの記憶はキャパシタ119に電荷を蓄積することにより行われる。ところが、スイッチの役割をするMOSTランジスタ113のPN接合部には漏洩電流が存在するので、最初に十分な電荷量をキャパシタに与えても、電荷は徐々に減り、最後には消失してしまう、すなわちデータが破壊されてしまう。このため、データが破壊されてしまう前にそのデータを読み出し、その読み出したデータをもとにして初期の十分な電荷量を再び与えるリフレッシュ（再書き込み）動作が必要となる。このリフレッシュを周期的に繰り返せば記憶は確保されるが、上記キャパシタの容量値が小さいと、短い周期でリフレッシュを繰り返す、すなわちリフレッシュ回数を多くする必要があるが、そのことは、逆に消費電流の増大を招いてしまうのである。また、パッケージ材料やチップ内の配線材料などに、自然界と同程度にウランなどの放射性元素が極微量ではあるが含まれている。これら元素から出るアルファ線がメモリセルに入射すると、キャパシタのデータが一時的に破壊される、いわゆるソフトエラー現象が生じる。これに対する耐性を高めるためにもできるだけ大きい容量値の確保が必要である。

【0009】3トランジスタセルにおける電荷蓄積のためのキャパシタは、上述したように、図7に示すMOSTランジスタ117のゲート入力容量119がその役割を担っている。例えば、図8は、図7に示すMOSTランジスタ117のセルパターンの一例を示す図であり、シリコン基板上に形成されたトランジスタ領域129上に酸化膜等の絶縁膜を介してゲートポリシリコン131が配置されている。このMOSTランジスタがn型MOSTランジスタであるとすれば、ゲートポリシリコン131に所定の高電圧が印加されると、図8中斜線で示す、トランジスタ領域129とゲートポリシリコン131との重なり部分133（以下、「ゲート領域」と呼ぶ）にチャネルが形成され、そのチャネルを通して電子

がソース領域135（または137）からドレイン領域137（135）へ流れることになる。

【0010】このMOSTランジスタ117では、上記ゲート入力容量は、主として、ゲート領域133の面積によりその値が決定される。従って、キャパシタ（ゲート入力容量）119の容量値を大きくするには、単純には、その面積を大きくすれば良い。図8では、図中Lで示すチャネル長、Wで示すチャネル幅を共に大きくすれば良いことになる。

【0011】しかし、チャネル長Lを大きくすることは、そのトランジスタの電流駆動能力を小さくする、つまり動作速度を遅くすることを意味し、その結果ASICの高速化を妨げることとなる。

【0012】一方、図9に示すセルパターンを採用すれば、電流駆動能力の低下を防ぐことは可能である。図9は、図7に示すMOSTランジスタ117のセルパターンの他の例を示す図であり、図8と同様、シリコン基板上に形成されたトランジスタ領域129a上に酸化膜等の絶縁膜を介してゲートポリシリコン131aが配置されている。このセルパターンでは、上記図7では1:1であったチャネル長L:チャネル幅Wの比を、チャネル長L:チャネル幅W=1:2としたものである。このセルパターンによれば、ゲート領域133aの面積を図7のものと同じだけ確保しつつ、チャネル長Lは短くすることができるので、電流駆動能力の低下を防ぐことができる。

【0013】しかし、チャネル長Lを短くした分だけチャネル幅Wは長くなってしまうので、ソース領域135a（または137a）、ドレイン領域137a（または135a）などを含めたトランジスタ全体の面積は図8に比べて逆に増大してしまう。そのため、図8と同じトランジスタ面積にしようとするれば、必然的にゲート領域133aの面積は図8より小さくなり、その結果キャパシタの容量値が小さくなってしまう。

【0014】

【発明が解決しようとする課題】上述したように、従来の3トランジスタ型DRAMメモリセルでは、そのメモリセル面積を縮小する場合、上記電流駆動能力とキャパシタの容量値とはトレードオフの関係にあり、どちらも共に向上させることは不可能であった。

【0015】そのため、メモリセル面積の縮小を行う場合には、電流駆動能力、キャパシタの容量値のうちどちら一方の特性劣化は避けられなかった。

【0016】一方、電流駆動能力、キャパシタの容量値共に一定の値を確保しようすると、メモリセル面積を大幅に削減することはできなかった。

【0017】本発明は上記事情に鑑みて成されたものであり、その目的は、電流駆動能力及びキャパシタの容量値の低下を招くことなく、メモリセル面積の縮小を図り、それにより、高集積化を実現することができる3ト

ランジスタ型DRAMメモリセルを提供することにある。

【0018】

【課題を解決するための手段】上記の目的を達成するために本発明は、図7に示すような、第1のワード線（書き込み用ワード線）121の電位をゲートに入力する第1のMOSTランジスタ（スイッチ用MOSTランジスタ）113と、第2のワード線（読み出し用ワード線）125の電位をゲートに入力する第2のMOSTランジスタ（スイッチ用MOSTランジスタ）115と、スイッチ用MOSTランジスタ）113を介して第1のデータ線（書き込み用データ線）123とゲートが接続されると共に、第2のデータ線（読み出し用データ線）127と接地電位139との間でスイッチ用MOSTランジスタ115と直列接続される第3のMOSTランジスタ（電荷蓄積及び読み出しデータ線駆動用MOSTランジスタ）117とを有する3トランジスタ型DRAMメモリセルにおいて、図1に示すように、電荷蓄積及び読み出しデータ線駆動用MOSTランジスタ117のチャンネル長が、ゲート（ゲートポリシリコン）3とトランジスタ領域1との重なり部分（ゲート領域）9の幅wよりも短くなるように、そのセルパターンを規定することを特徴とするものである。

【0019】本発明の特徴によれば、電荷蓄積及び読み出しデータ線駆動用MOSTランジスタのチャンネル長がゲート領域の幅よりも寸法的に短くなるように構成されているので、実際にMOSTランジスタの動作に関与するチャンネル長は短くしつつ、ゲート領域の面積から決定されるゲート入力容量の容量値、すなわち電荷蓄積用のキャパシタの容量値を十分に確保することが可能となる。それにより、従来問題となっていた電流駆動能力とキャパシタの容量値とのトレードオフの関係を回避することができる。従って、電流駆動能力とキャパシタの容量値を共に一定値に保ちつつ、メモリセル面積を大幅に縮小することができる。

【0020】ここで、具体的には、上記セルパターンは、ゲート、トランジスタ領域それぞれのパターンを電子ビーム露光等によりレチクル上に描画して、そのレチクルパターンをステッパー（光縮小投影露光装置）により縮小投影して、半導体基板上に塗布されたフォトリソに転写し、そのレジストパターンをマスクとしてエッチングなどを行うことにより形成することができる。その際、そのレチクル上には、電荷蓄積及び読み出しデータ線駆動用MOSTランジスタのゲートが少なくとも8個以上の頂点を有する形状であり、そのトランジスタ領域が少なくとも4個以上の頂点を有する形状であり、そのゲート領域が少なくとも8個以上の頂点を有する形状で、かつ、そのチャンネル長がそのゲート領域の幅よりも短くなるように構成されているように描画すればよい。

【0021】また、トランジスタ領域のコンタクトは、ゲート領域の一部に設けられた凹部内に配置されるように、そのセルパターンを形成すればよい。

【0022】

【発明の実施の形態】以下、本発明の実施の形態について図面を用いて説明する。

【0023】まず、本発明の実施の形態を説明する前に、一般的な3トランジスタ型DRAMメモリセルの動作について図7を用いて説明する。なお、本実施の形態に係る3トランジスタ型DRAMメモリセルの動作はこれから述べる一般的な3トランジスタ型DRAMメモリセルの動作と同様である。

【0024】図7において、上述したように、3トランジスタ型DRAMメモリセル111は、スイッチ用MOSTランジスタ113と、スイッチ用MOSTランジスタ115と、読み出しデータ線駆動用MOSTランジスタ117と、書き込みワード線121と、書き込みデータ線123と、読み出しワード線125と、読み出しデータ線127とから構成される。

【0025】また、電荷を蓄積するキャパシタ119はMOSTランジスタ117のゲート入力容量が主としてその役割を果たしている。ここでは、このMOSTランジスタ117を「電荷蓄積及び読み出しデータ線駆動用MOSTランジスタ」と呼ぶ。

【0026】なお、通常、すべてのMOSTランジスタはその動作速度の点からn型MOSTランジスタで構成される。

【0027】書き込み動作は、書き込みワード線121をHレベルにしてMOSTランジスタ113を導通させ、書き込みデータ線123を経由してキャパシタ119にHレベルを書き込むことにより行われる。一方、書き込みワード線121がLレベルの場合には、MOSTランジスタ113は非導通状態となるので、先に書き込まれたデータがそのままキャパシタ119に保持される。

【0028】読み出し動作は、まず、読み出しデータ線をHレベルに設定（プルアップ）した後、読み出しワード線125をHレベルにしてMOSTランジスタ115を導通させる。ここで、キャパシタ119にHレベルが記憶されていれば、MOSTランジスタ117は導通状態となり、Lレベルが記憶されていれば、非導通状態となる。従って、MOSTランジスタ115を導通状態とした場合、MOSTランジスタ117が導通状態であれば、読み出しデータ線127はMOSTランジスタ115、MOSTランジスタ117を介して接地電位139に接続され、Lレベルに引き込まれる。一方、MOSTランジスタ117が非導通状態であれば、読み出しデータ線127はHレベルを保持することとなる。読み出しは、この読み出しデータ線127の電位の変化をセンスアンプにより検知することにより行われる。

【0029】上述したように、本実施の形態に係る3トランジスタ型DRAMセルの動作は一般的な動作と同様であるが、上記電荷蓄積及び読み出しデータ線駆動用MOSトランジスタ117のゲートポリシリコン形状及びトランジスタ領域形状が従来とは異なり、それが本発明の特徴部分である。

【0030】以下、本実施の形態に係る3トランジスタ型DRAMセルの電荷蓄積用及び読み出しデータ線駆動用MOSトランジスタのゲートポリシリコン形状及びトランジスタ領域形状について図面を用いて説明する。

【0031】図1は、本発明の実施の形態に係る電荷蓄積用及び読み出しデータ線駆動用MOSトランジスタのセルパターンを示す図であり、シリコン基板上に形成されたトランジスタ領域1上に酸化膜等の絶縁膜を介してゲートポリシリコン3が配置されている。このMOSトランジスタがn型MOSトランジスタであれば、ゲートポリシリコン3に所定の高電圧が印加されると、チャネルが形成され、そのチャネルを通して電子がソース領域5（または7）からドレイン領域7（または5）に流れ、導通状態となる。

【0032】ここで、本発明の特徴部分は、ゲートポリシリコン3の形状が上記図8、図9に示したような単純な矩形ではなく、図1に示すような特徴的な形状となっている点である。すなわち、ゲート領域9（ゲートポリシリコン3とトランジスタ領域1との重なり部分）が寸法的に狭い部分（図中Aで示す部分）と広い部分（ゲート領域9のうち上記狭い部分を除いた部分）とから構成されるように、ゲートポリシリコン3の形状が規定されている点にある。そして、ゲート領域9に形成されるチャネル全体のうち狭い部分に形成されるチャネルを、実際にMOSトランジスタの動作に関与するチャネルとして利用するものである。一方、広い部分は、主として、その面積から決定されるゲート入力容量の容量値、すなわち電荷蓄積用のキャパシタの容量値を確保するために用いるのである。従って、電荷蓄積用及び読み出しデータ線駆動用MOSトランジスタのチャネル長Lをゲート領域の幅wよりも短くしつつ、十分な大きさのゲート領域面積を確保することができる。

【0033】このように、3トランジスタ型DRAMメモリセルにおいて、その電荷蓄積用及び読み出しデータ線駆動用MOSトランジスタのゲートポリシリコン及びトランジスタ領域の形状を上述した構成とすることで、上記短いチャネル長により高電流駆動能力を維持し、一方、広いゲート領域面積により電荷蓄積用のキャパシタの値を確保することが可能となる。そして、それにより、従来の問題である、電流駆動能力とキャパシタの容量値とのトレードオフの関係を回避しつつ、メモリセル面積の縮小を図ることができる。

【0034】ここで、図1（図2、図3）のセルパターンは、上述したように、チャネル長がゲート領域の幅よ

りも短くなるようにゲートポリシリコンの形状が規定されていれば、その形状・寸法を適切な値に設定することで、上記本発明の効果を達成することができるが、具体的には、次のように規定することができる。すなわち、図2に示すように、ゲートポリシリコン3の形状が8個の頂点（図中a, b, c, d, e, f, g, h）を有する形状であって、ゲート領域の形状が8個の頂点（図中i, j, k, l, e, f, g, h）を有する形状であり、かつ、チャネル長がゲート領域の幅よりも短くなるように構成されているように規定すればよい。

【0035】さらに、図3に示すように、ゲート領域9に凹部（図中Bで示す部分）を形成し、その凹部内にコンタクト11を配置されるように規定してよい。なお、コンタクト11、13はトランジスタ領域1とその上層の金属配線（図示省略）を電気的に接続するためにそれらの間の層間膜（図示省略）に開口された貫通穴のことである。

【0036】一方、上記図1（図2、図3）に示したセルパターンでは、トランジスタ領域の形状は矩形（4個の頂点を有する形状）であったが、図4に示すセルパターンのように、トランジスタ領域1aの形状をL字型（5個の頂点を有する形状）とすれば、上記広い部分の面積を小さくすることなく、全体のトランジスタ面積を減少させることができる。

【0037】さらに、ゲートポリシリコン、ゲート領域及びトランジスタ領域の形状が有する頂点の数を増加させることにより全体のトランジスタ面積をより一層減少させることができる（図5参照）。

【0038】なお、上述した図1～図5のセルパターンは、例えば、LSI製造プロセスにおける通常のフォトリソグラフィ（photolithography）技術により形成することができる。すなわち、設計の終わった上記セルパターンを各層ごとに、電子ビーム露光等により5倍等の倍率でレチクルを作製し、そのレチクルパターンをステッパー（光縮小投影露光装置）により縮小投影して、半導体基板上に塗布されたフォトレジストに転写し、そのレジストパターンをマスクとしてエッチングなどを行うことにより形成することができる。この際、最終的な製品は、各種のプロセス工程、例えば、熱酸化工程、エッチング工程、成膜工程など、が複数回実施されることにより製造されるので、レチクル上に描画された図1～図4のセルパターンの各頂点は、最終的な製品においては、丸みを帯びたものとなる。従って、上述した各セルパターンの頂点は、実質的に頂点とみなされる点を意味するものである。また、各頂点を結ぶ辺においても同様であり、最終的な製品では各辺に若干の凸凹が生じ得るので、上述した各セルパターンの辺は実質的に辺とみなされるものを意味するものとする。

【0039】

【発明の効果】以上説明したように本発明によれば、3

トランジスタ型DRAMメモリセルの電流駆動能力、電荷蓄積用のキャパシタの容量値を共に損なうことなく、メモリセル面積の縮小を図ることができる。

【0040】従って、高集積化に適した3トランジスタ型DRAMメモリセルを実現することが可能となる。

【図面の簡単な説明】

【図1】本発明の実施の形態に係る電荷蓄積用及び読み出しデータ線駆動用MOSTランジスタのセルパターンを示す図である（その1）。

【図2】本発明の実施の形態に係る電荷蓄積用及び読み出しデータ線駆動用MOSTランジスタのセルパターンを示す図である（その2）。

【図3】本発明の実施の形態に係る電荷蓄積用及び読み出しデータ線駆動用MOSTランジスタのセルパターンを示す図である（その3）。

【図4】本発明の実施の形態に係る電荷蓄積用及び読み出しデータ線駆動用MOSTランジスタの他のセルパターンを示す図である（その4）。

【図5】本発明の実施の形態に係る電荷蓄積用及び読み出しデータ線駆動用MOSTランジスタの他のセルパターンを示す図である（その5）。

【図6】DRAMの1トランジスタセルを示す図である。

【図7】DRAMの3トランジスタセルを示す図である。

る。

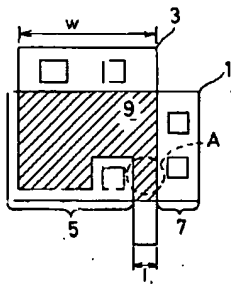
【図8】従来の電荷蓄積用及び読み出しデータ線駆動用MOSTランジスタのセルパターンを示す図である。

【図9】従来の電荷蓄積用及び読み出しデータ線駆動用MOSTランジスタの他のセルパターンを示す図である。

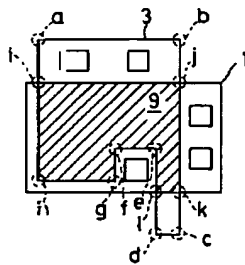
【符号の説明】

- 1、1a、1b、129、129a トランジスタ領域
- 3、3a、3b、131、131a ゲート
- 5、135、135a ソース（ドレイン）
- 7、137、137a ドレイン（ソース）
- 9、9a、9b、133、133a ゲート領域
- 11、13 コンタクト
- 101 1トランジスタセル
- 103、119 キャパシタ
- 105、113、115、117 MOSTランジスタ
- 107 ワード線
- 109 データ線
- 111 3トランジスタセル
- 121 書き込みワード線
- 123 書き込みデータ線
- 125 読み出しワード線
- 127 読み出しデータ線

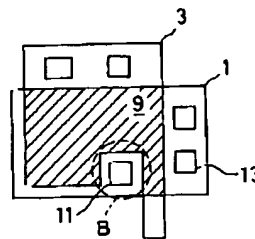
【図1】



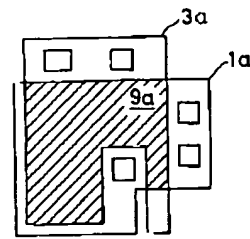
【図2】



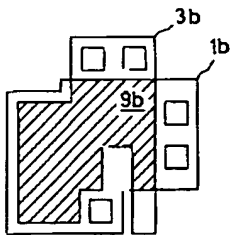
【図3】



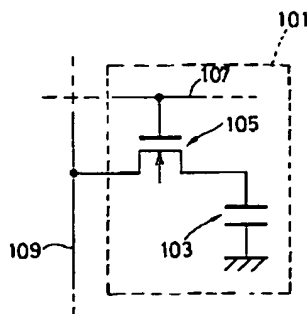
【図4】



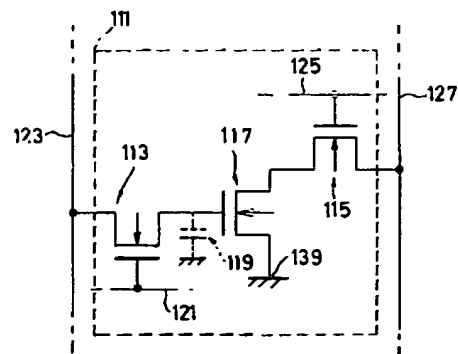
【図5】



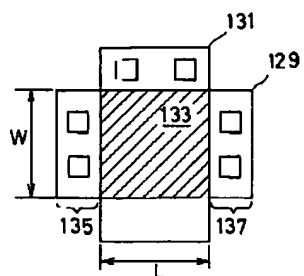
【図6】



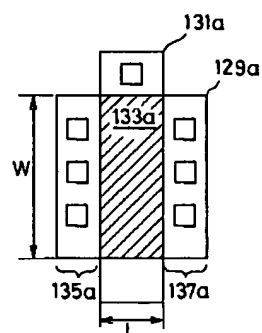
【図7】



【図8】



【図9】



フロントページの続き

(72)発明者 安部 隆行  
神奈川県川崎市幸区堀川町580番1号 株  
式会社東芝半導体システム技術センター内

(72)発明者 小川 恭輔  
神奈川県川崎市川崎区駅前本町25番地1  
東芝マイクロエレクトロニクス株式会社内  
(72)発明者 小林 俊宏  
神奈川県川崎市川崎区駅前本町25番地1  
東芝マイクロエレクトロニクス株式会社内